



PATENT

Customer No. 31561
Attorney Docket No.: 8327-US-PA

2186

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Kuang-Kai Kuo et al.
Application No. : 10/064,454
Filed : 2002/7/17
For : CONTROL CHIP AND METHOD FOR ACCELERATING
MEMORY ACCESS
Examiner :

#2
LST
9-29-02

ASSISTANT COMMISSIONER FOR PATENTS
Washington, D.C. 20231

RECEIVED
SEP 06 2002
Technology Center 2100

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 91103729,
filed on: 2002/3/1.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: September 5, 2002

By:

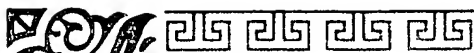
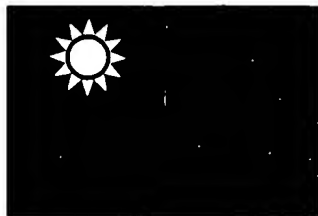
Belinda Lee

Belinda Lee

Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234

10/064454



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 03 月 01 日
Application Date

申請案號：091103729
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

RECEIVED

SEP 06 2002

Technology Center 2100

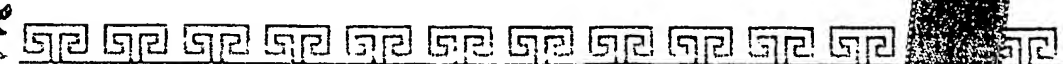
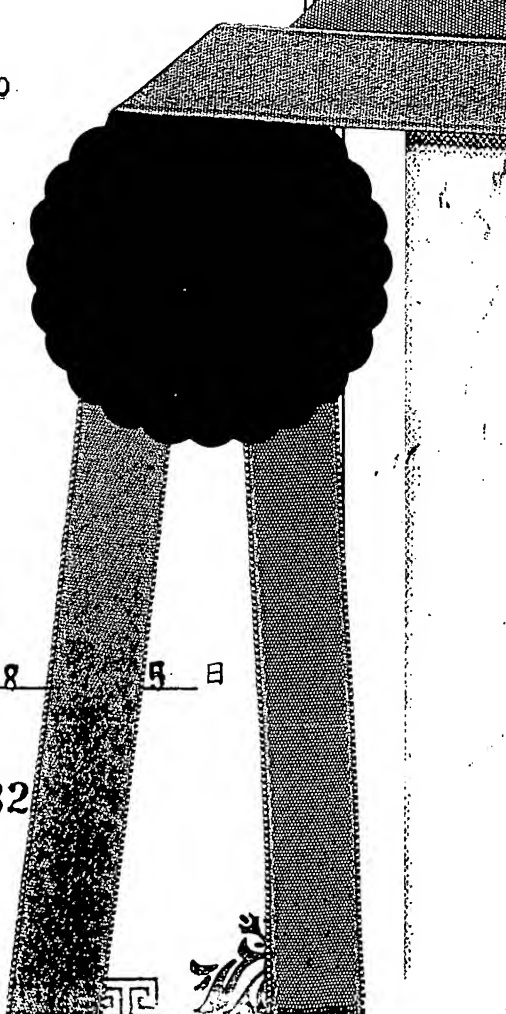
CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

陳明邦

發文日期：西元 2002 年 8 月 9 日
Issue Date

發文字號：09111014732
Serial No.



申請日期：

案號：

類別：

(以上各欄由本局填註)

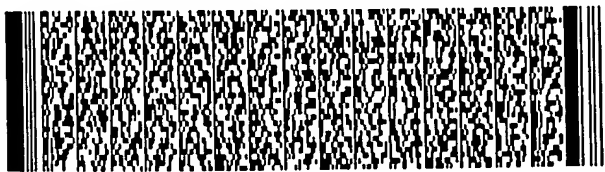
發明專利說明書

一、 發明名稱	中文	加速記憶體存取的控制晶片及其運作方法
	英文	
二、 發明人	姓名 (中文)	1. 郭光凱 2. 劉國平
	姓名 (英文)	1. 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓 2. 台北市辛亥路4段77巷9號7樓
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號8樓
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1.



一種加速記憶體存取的控制晶片及其運作方法，適用於一記憶體讀取命令之實際位址係由系統匯流排分次同步傳送之架構中。當控制晶片收取第一部分讀取位址時，立即與儲存於記憶體寫入命令佇列中的記憶體寫入命令，針對寫入位址的相同位元部分做比較。當比較結果為相異時，允許執行此記憶體讀取命令；當比較結果為相同時，則接收第二部分讀取位址，並與儲存在記憶體寫入命令佇列之記憶體寫入命令，針對寫入位址的相同位元部分做比較。當比較結果為相異時，仍允許執行此記憶體讀取命令；當比較結果依然相同時，則等待記憶體寫入命令佇列所儲存具有相同寫入位址之記憶體寫入命令執行後，才允許執行此記憶體讀取命令。如此不但可增進控制晶片之效

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：加速記憶體存取的控制晶片及其運作方法)

能，且可確保控制晶片接收之一記憶體讀取命令，不會先於一記憶體寫入命令佇列所儲存之相同寫入位址之一記憶體寫入命令而執行。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

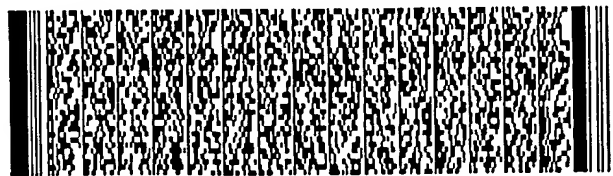
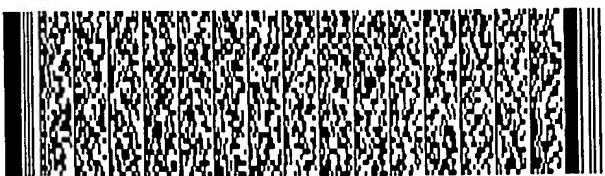
無

五、發明說明 (1)

本發明是有關於一種控制晶片，且特別是有關於一種能加速記憶體存取的控制晶片及其運作方法。

隨著電子科技的發展，人們愈加仰賴電子設備的處理能力，於是分散式的處理環境乃為必須。在分散式的處理環境中，控制晶片通常與中央處理單元(Central Processing Unit，簡稱CPU)經由系統匯流排來交換資訊，其間之資訊交換量也隨著CPU之處理能力的增加而日益龐大，於是系統匯流排之資料位元數及位址位元數均迅速增加。為避免CPU的腳位數亦隨著同步增加，將欲傳送之資料位元及位址位元，依匯流排時脈而分次進行傳送為目前所廣為使用的方式。但此種傳送方式在記憶體讀取命令時，為確保控制晶片接收之一記憶體讀取命令，不會先於儲存於記憶體寫入命令佇列中，具有相同寫入位址之記憶體寫入命令而執行，進而造成讀取錯誤資料。是以，控制晶片必須等候所有分次傳送之位元位址均到達，並與記憶體寫入命令佇列所儲存之記憶體寫入命令之寫入位址進行比較之後才可執行，以致延遲控制晶片之處理速度。此外，由於控制晶片處理記憶體讀取命令十分頻繁，導致影響控制晶片之效能甚巨。

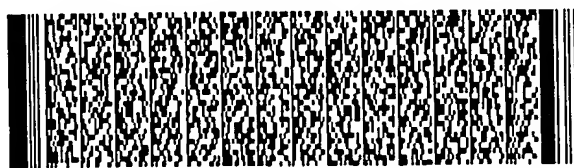
有鑑於此，本發明提供一種加速記憶體存取的控制晶片及其運作方法，藉由加速處理記憶體讀取命令，不僅可增進控制晶片之效能，且可確保控制晶片所接收之記憶體讀取命令，不會先於記憶體寫入命令佇列所儲存之相同寫入位址之記憶體寫入命令而執行。



五、發明說明 (2)

本發明提供一種加速記憶體存取的控制晶片，耦接至至少包括一時脈訊號之一系統匯流排，此控制晶片至少包括：記憶體寫入命令佇列、匯流排介面單元(Bus Interface Unit)及記憶體要求發起單元(Memory Request Organizer)。其中記憶體寫入命令佇列可用以儲存複數個記憶體寫入命令，而每一記憶體寫入命令包括一寫入位址。匯流排介面單元係耦接至系統匯流排，其由系統匯流排上依據其時脈訊號，依序接收包括一第一部分讀取位址以及一第二部分讀取位址之一記憶體讀取命令，並依序輸出此第一部分讀取位址以及第二部分讀取位址。上述之記憶體要求發起單元係耦接至匯流排介面單元及記憶體寫入命令佇列，用以執行第一部分讀取位址與儲存於記憶體寫入命令佇列中，所有記憶體寫入命令之寫入位址的相同位元部分之比較操作。當比較結果為相異時，則允許此記憶體讀取命令之執行；當比較結果為相同時，則進行第二部分讀取位址與儲存於記憶體寫入命令佇列中，針對記憶體寫入命令之寫入位址的相同位元部分之進行比較。當比較結果為相異時，亦允許此記憶體讀取命令之執行。當比較結果依然相同時，則等待此記憶體寫入命令佇列所儲存具有相同寫入位址之記憶體寫入命令執行後，才設定允許執行此記憶體讀取命令。

本發明提供之一種加速記憶體存取的控制晶片，其中記憶體要求發起單元包括：第一部分讀取位址比較單元、第二部分讀取位址比較單元、以及允許執行判斷單元。其

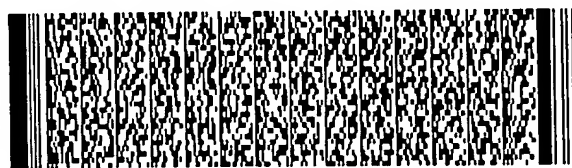


五、發明說明 (3)

中，第一部分讀取位址比較單元耦接匯流排介面單元及記憶體寫入命令佇列，用以接收第一部分讀取位址，以針對第一部分讀取位址與記憶體寫入命令佇列所儲存記憶體寫入命令之寫入位址的相同位元部分執行比較操作，隨後並輸出一第一比較訊號。第二部分讀取位址比較單元耦接匯流排介面單元及記憶體寫入命令佇列，用以接收第二部分讀取位址，以針對比較第二部分讀取位址與記憶體寫入命令佇列所儲存記憶體寫入命令之寫入位址的相同位元部分進行比較操作，並輸出一第二比較訊號。至於允許執行判斷單元則耦接至第一部分讀取位址比較單元及第二部分讀取位址比較單元，用以接收第一比較訊號及第二比較訊號，以判斷並輸出一允許執行訊號。當第一比較訊號或第二比較訊號顯示比較結果為相異時，則輸出允許執行訊號，否則需等待記憶體寫入命令佇列所儲存具有相同寫入位址之記憶體寫入命令執行後，才輸出允許執行訊號。

本發明提供之一種加速記憶體存取的控制晶片，其中記憶體要求發起單元更包括記憶體命令管制單元，其耦接至允許執行判斷單元，用以接收允許執行訊號，並將記憶體讀取命令直接送出或存入一記憶體讀取命令佇列中。

本發明之較佳實施例中，其系統匯流排為美國AMD公司定義之S2K匯流排，且此系統匯流排連接美國AMD公司之K7系列中央處理單元，其中系統匯流排時脈訊號之上升緣及下降緣分別定義為一位元時間，而其第一部分讀取位址係以兩個位元時間來傳送。

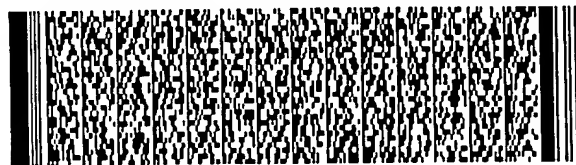


五、發明說明 (4)

本發明另提供一種加速記憶體存取的控制晶片之運作方法，適用於連接系統匯流排之控制晶片。本發明所揭露之控制晶片至少包括一記憶體寫入命令佇列，用以儲存複數個記憶體寫入命令，每一記憶體寫入命令包括一寫入位址，而系統匯流排內至少包括一時脈訊號，並依據此時脈訊號依序傳送包括第一部分讀取位址以及第二部分讀取位址之記憶體讀取命令。本發明所揭露之運作方法包括下列步驟：首先接收系統匯流排傳送之第一部分讀取位址；然後比較第一部分讀取位址與記憶體寫入命令佇列所儲存之記憶體寫入命令之寫入位址的相同位元部分。當比較結果為相異時，允許此記憶體讀取命令之執行；再來接收系統匯流排傳送之第二部分讀取位址；然後比較第二部分讀取位址與記憶體寫入命令佇列所儲存之記憶體寫入命令之寫入位址的相同位元部分。當比較結果為相異時，則允許此記憶體讀取命令之執行；當比較結果依然相同時，等待記憶體寫入命令佇列所儲存具有相同寫入位址之記憶體寫入命令執行後，才設定允許執行此記憶體讀取命令。

本發明之較佳實施例的運作方法中，其系統匯流排時脈訊號之上升緣及下降緣分別定義為一位元時間，而第一部分讀取位址係以兩個位元時間來傳送。且當允許執行記憶體讀取命令時，係將此記憶體讀取命令直接送出或存入一記憶體讀取命令佇列中。

由上述之說明可知，應用本發明所揭露之加速記憶體存取的控制晶片及其運作方法，可在控制晶片收取第一部



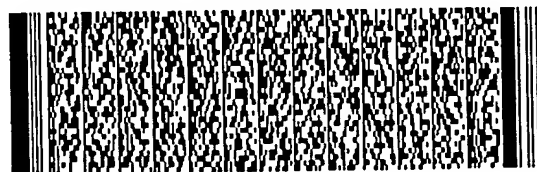
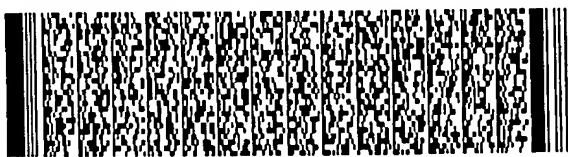
五、發明說明 (5)

分讀取位址時，立即與記憶體寫入命令佇列所儲存記憶體寫入命令之寫入位址的相同位元部分做比較。並當比較結果為相異時，隨即允許此記憶體讀取命令之執行；當比較結果為相同時，則接收第二部分讀取位址，並比較記憶體讀取命令之第二部分讀取位址與記憶體寫入命令佇列所儲存記憶體寫入命令之相同位元部分。當比較結果為相異時，亦允許此記憶體讀取命令之執行；當比較結果依然相同時，則等待記憶體寫入命令佇列所儲存具有相同實際位址之記憶體寫入命令執行後，才允許此記憶體讀取命令之執行。如此則無須每一記憶體讀取命令均等候所有分次傳送之位元位址均到達後才可執行，不但可增進控制晶片之效能，且可確保控制晶片接收之一記憶體讀取命令，不會先於一記憶體寫入命令佇列所儲存之相同寫入位址之一記憶體寫入命令而執行。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

重要元件標號

- 100 控制晶片
- 110 中央處理單元
- 120 系統匯流排
- 130 匯流排介面單元
- 140 記憶體要求發起單元
- 150 第一部分讀取位址比較單元



五、發明說明 (6)

160 第二部分讀取位址比較單元

170 允許執行判斷單元

180 記憶體命令管制單元

190 記憶體寫入命令佇列

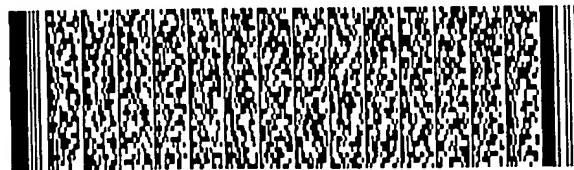
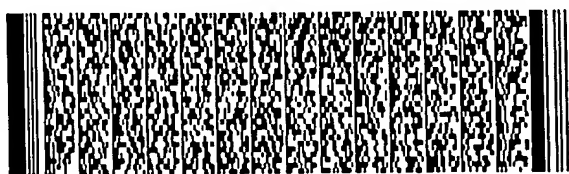
195 記憶體讀取命令佇列

310 ~ 330 時序位置

S405 ~ S430 運作方法步驟

較佳實施例

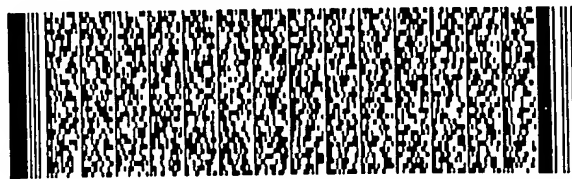
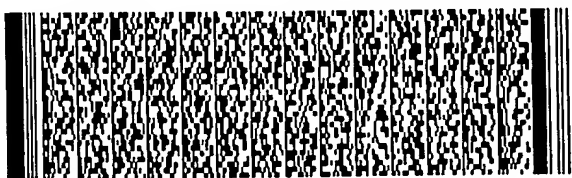
請參照第1圖，其繪示的是根據本發明較佳實施例之一種加速記憶體存取的控制晶片方塊圖，其係用以增進控制晶片100之效能，且可確保控制晶片100接收之記憶體讀取命令，不會先於儲存於記憶體寫入命令佇列中，具有相同寫入位址之記憶體寫入命令而執行。由圖中可知，此控制晶片100至少包括記憶體寫入命令佇列190、匯流排介面單元130及記憶體要求發起單元140，而記憶體要求發起單元140更包括第一部分讀取位址比較單元150、第二部分讀取位址比較單元160、以及允許執行判斷單元170。如考慮與記憶體控制器之介面，則可更包括記憶體命令管制單元180。其中，記憶體寫入命令佇列190可用以儲存複數個記憶體寫入命令，每個記憶體寫入命令包括一寫入位址。匯流排介面單元130耦接至系統匯流排120，此系統匯流排120例如為美國AMD公司定義之S2K匯流排，且其連接美國AMD公司之K7系列中央處理單元110。S2K匯流排具有一系統位址輸出時脈訊號線SADDOUTCLK、以及系統位址輸出匯



五、發明說明 (7)

流排SADDOUT，而中央處理單元110依據系統位址輸出時脈之上升緣及下降緣，將實際位址由SADDOUT[14:2]分次同步傳送，此系統位址輸出時脈之上升緣及下降緣定義為一位元時間(bit-time)，其傳輸格式如第2圖所示。由第2圖中可知，每一記憶體讀取命令需要4個位元時間，而位元時間0傳送實際位址之第31~25位元(PA[31:25])、位元時間1傳送實際位址之第24~12位元(PA[24:12])、位元時間3傳送實際位址之第34~32及11~3位元(PA[34:32]及PA[11:3])。是故當匯流排介面單元130接收系統匯流排120之記憶體讀取命令時，也同時由SADDOUT獲得了此記憶體讀取命令之實際位址。

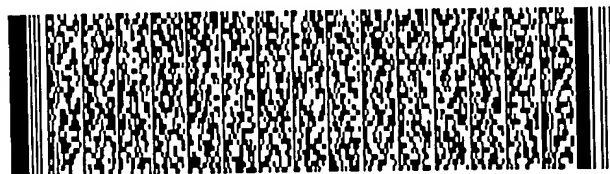
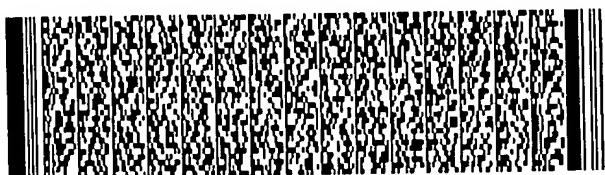
接下來請配合參考第3圖之時序圖做更進一步之說明。當SADDOUT在位元時間0傳送之實際位址PA[31:25]時，將更新匯流排介面單元130之AIB01；而在位元時間1傳送之實際位址PA[24:12]則會更新匯流排介面單元130之AIB02。同樣地，在位元時間2傳送之內容會更新匯流排介面單元130之AIB03，而在位元時間3傳送之實際位址PA[34:32]及PA[34:32]會更新匯流排介面單元130之AIB04。應注意的是，匯流排介面單元130之AIBT01之頻率為SADDOUTCLK之一半，故當匯流排介面單元130於位元時間0及位元時間1接收實際位址PA[31:12]後，會經由Cqfc_ReqAddr更新此記憶體讀取命令之第一部分讀取位址[31:12]。如第3圖中310之Cqfc_ReqAddr所示，此第一部分讀取位址[31:12]將由與匯流排介面單元130耦接之第一



五、發明說明 (8)

部分讀取位址比較單元150來接收，隨後進行第一部分讀取位址[31:12]、以及儲存於記憶體寫入命令佇列中，針對記憶體寫入命令之寫入位址的相同位元部分之比較操作，然後輸出一第一比較訊號HHIT至與其耦接之允許執行判斷單元170。當此第一比較訊號HHIT顯示上述兩個相同位元之比較結果為相異時，則允許執行判斷單元170隨即於下一命令之位元時間0內，致能允許執行訊號MRQDREQ，一如第3圖中320所示。當記憶體命令管制單元180接收此允許執行訊號MRQDREQ後，便將此記憶體讀取命令存入記憶體讀取命令佇列195中、或致能DADS訊號，搭配將記憶體讀取命令之實際位址置放於KA匯流排之方式，以傳送至記憶體控制器(Memory controller)，而記憶體控制器則經由DNA訊號來回應此訊息。

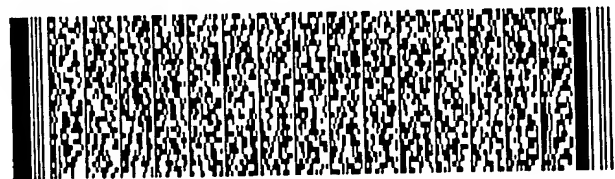
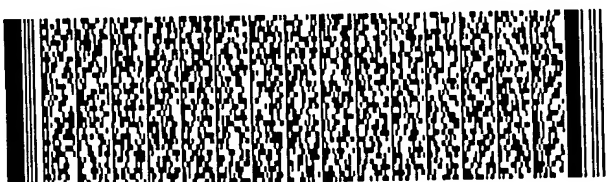
另一方面，如果第一比較訊號HHIT顯示第一部分讀取位址[31:12]與記憶體寫入命令佇列所儲存之記憶體寫入命令之寫入位址的相同位元部分，其比較結果為相同時，則繼續比較匯流排介面單元130於位元時間3接收之實際位址PA[11:3]。此實際位址PA[11:3]會經由Cqfc_ReqAddr更新此記憶體讀取命令之第二部分讀取位址PA[11:3]，並致能Cqfc_ReqValid訊號以告知位址傳送完成，如第3圖中之330所示。此第二部分讀取位址PA[11:3]將由與匯流排介面單元130耦接之第二部分讀取位址比較單元160來接收，並比較第二部分讀取位址中之位元_PA[11:6]與記憶體寫入命令佇列所儲存記憶體寫入命令之寫入位址的相同位元



五、發明說明 (9)

部分，然後輸出第二比較訊號LHIT至與其耦接之允許執行判斷單元170。應注意的是，較佳實施例中僅比較位元PA[11:6]，原因在於因中央處理單元通常為批次讀寫記憶體。當此第二比較訊號LHIT顯示其比較結果為相異時，允許執行判斷單元170即致能允許執行訊號MRQDREQ。再者，如第二比較訊號LHIT之結果仍顯示兩者相同時，則需等待記憶體寫入命令佇列所儲存具有相同寫入位址之記憶體寫入命令執行後，才可輸出允許執行訊號MRQDREQ。

由上述之說明中，可歸納出一種加速記憶體存取的控制晶片之運作方法，用以增進控制晶片之效能，且可確保控制晶片接收之一記憶體讀取命令，不會先於記憶體寫入命令佇列所儲存之相同實際位址之記憶體寫入命令而執行，此記憶體讀取命令之實際位址來自系統匯流排S2K，且此系統匯流排S2K具有一系統位址輸出時脈訊號線SADDOUTCLK，並依據系統位址輸出時脈之上升緣及下降緣，將實際位址由系統匯流排S2K之系統位址輸出匯流排SADDOUT分次同步傳送，系統位址輸出時脈之上升緣及下降緣定義為一位元時間，此運作方法如第4圖所示。首先，控制晶片接收由系統位址輸出匯流排SADDOUT而來之第一部分讀取位址PA[31:12](S405)，其次針對第一部分讀取位址PA[31:12]，與記憶體寫入命令佇列所儲存記憶體寫入命令之寫入位址的相同位元部分進行比較(S410)。當比較結果為相異時，設定允許執行此記憶體讀取命令(S430)，然後接收系統位址輸出匯流排第二部分讀取位址

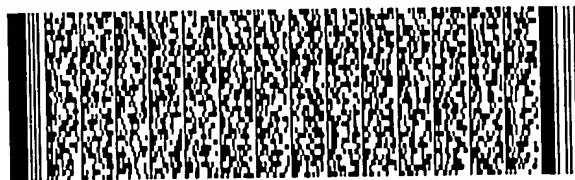


五、發明說明 (10)

PA[11:3] (S415)。若比較結果顯示兩者相同時，再比較記憶體讀取命令之第二部分讀取位址PA[11:6]與記憶體寫入命令佇列所儲存記憶體寫入命令之寫入位址的相同位元部分(S420)。當比較結果為相異時，設定允許執行此記憶體讀取命令(S430)；當比較結果依然相同時，則等待記憶體寫入命令佇列所儲存具有相同寫入位址之記憶體寫入命令執行後(S425)，設定允許執行此記憶體讀取命令(S430)。應注意的是，當第一比較訊號HHIT的比較結果相異時，即可在下一個讀取命令的位元時間0之中，致能MRQDREQ訊號，以允許讀取命令的執行，而不需要等候第二比較訊號LHIT的比較結果，所以將提前一個時序週期執行讀取命令，進而提昇控制晶片的執行效率。

本較佳實施例之一種加速記憶體存取的控制晶片之運作方法，其中第一部分讀取位址係以位元時間0及位元時間1來傳送。而當允許執行記憶體讀取命令時，係將此記憶體讀取命令直接送出或存入記憶體讀取命令佇列195中。

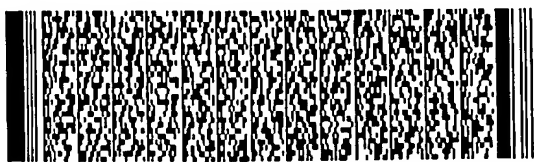
由上述之說明可知，應用本發明之一種加速記憶體存取的控制晶片及其運作方法，當控制晶片收取位元時間0及位元時間1所傳送之部分位元位址PA[31:12]時，立即與記憶體寫入命令佇列所儲存記憶體寫入命令之寫入位址的相同位元部分做比較，當比較結果為相異時，設定允許執行此記憶體讀取命令。如此則無須每一記憶體讀取命令均等候所有分次傳送之位元位址均到達後才可執行，因此可



五、發明說明 (11)

提前一時序週期執行此記憶體讀取命令，大大地提高了控制晶片之效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

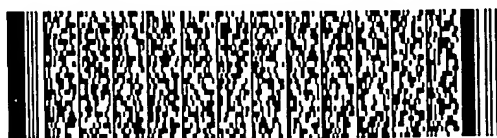
圖式之簡單說明：

第1圖係顯示根據本發明較佳實施例之一種加速記憶體存取的控制晶片方塊圖；

第2圖係顯示根據本發明較佳實施例之S2K匯流排分次傳送位址定義；

第3圖係顯示根據本發明較佳實施例之一種加速記憶體存取的控制晶片時序圖；以及

第4圖係顯示根據本發明較佳實施例之一種加速記憶體存取的控制晶片運作流程圖。



六、申請專利範圍

1. 一種加速記憶體存取的控制晶片，耦接至一系統匯流排，該系統匯流排內至少包括一時脈訊號，該控制晶片至少包括：

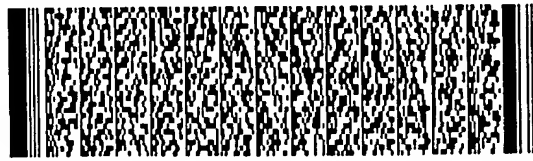
一記憶體寫入命令佇列，可用以儲存複數個記憶體寫入命令，每一記憶體寫入命令包括一寫入位址；

一匯流排介面單元，耦接該系統匯流排，當該匯流排介面單元依據該時脈訊號，由該系統匯流排上，依序接收包括一第一部分讀取位址以及一第二部分讀取位址之一記憶體讀取命令時，該匯流排介面單元亦依序輸出該第一部分讀取位址以及該第二部分讀取位址；以及

一記憶體要求發起單元，耦接該匯流排介面單元以及該記憶體寫入命令佇列，用以比較該第一部分讀取位址與該記憶體寫入命令佇列中所儲存之該些記憶體寫入命令之該寫入位址的相同位元部分，當比較結果為相異時，設定允許執行該記憶體讀取命令，當比較結果為相同時，則比較該第二部分讀取位址與該記憶體寫入命令佇列中所儲存之該些記憶體寫入命令之該寫入位址的相同位元部分，當比較結果為相異時，設定允許執行該記憶體讀取命令，當比較結果依然相同時，等待該記憶體寫入命令佇列所儲存具有相同該寫入位址之該記憶體寫入命令執行後，設定允許執行該記憶體讀取命令。

2. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片，其中該記憶體要求發起單元包括：

一第一部分讀取位址比較單元，耦接該匯流排介面單



六、申請專利範圍

元以及該記憶體寫入命令佇列，用以接收該第一部分讀取位址，比較該第一部分讀取位址與該記憶體寫入命令佇列所儲存該些記憶體寫入命令之該寫入位址的相同位元部分，並輸出一第一比較訊號；

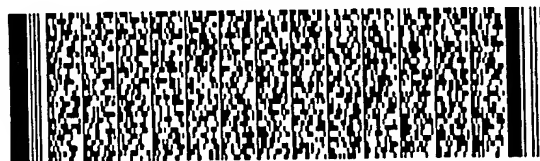
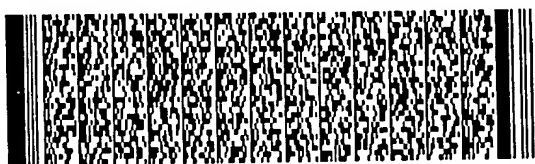
一第二部分讀取位址比較單元，耦接該匯流排介面單元以及該記憶體寫入命令佇列，用以接收該第二部分讀取位址，比較該第二部分讀取位址與該記憶體寫入命令佇列所儲存該些記憶體寫入命令之該寫入位址的相同位元部分，並輸出一第二比較訊號；以及

一允許執行判斷單元，耦接該第一部分讀取位址比較單元及該第二部分讀取位址比較單元，用以接收該第一比較訊號及該第二比較訊號，判斷並設定一允許執行訊號，其中當該第一比較訊號及該第二比較訊號二者擇一顯示比較結果為相異時，設定該允許執行訊號，否則需等待該記憶體寫入命令佇列所儲存具有相同該寫入位址之該記憶體寫入命令執行後，設定該允許執行訊號。

3. 如申請專利範圍第2項所述之加速記憶體存取的控制晶片，其中該記憶體要求發起單元更包括：

一記憶體命令管制單元，耦接該允許執行判斷單元，用以接收該允許執行訊號，並將該記憶體讀取命令直接送出及將該記憶體讀取命令存入該控制晶片之一記憶體讀取命令佇列中二者擇一。

4. 如申請專利範圍第3項所述之加速記憶體存取的控制晶片，其中該系統匯流排為美國AMD公司定義之S2K匯流



六、申請專利範圍

排。

5. 如申請專利範圍第4項所述之加速記憶體存取的控制晶片，其中該系統匯流排連接美國AMD公司之K7系列中央處理單元。

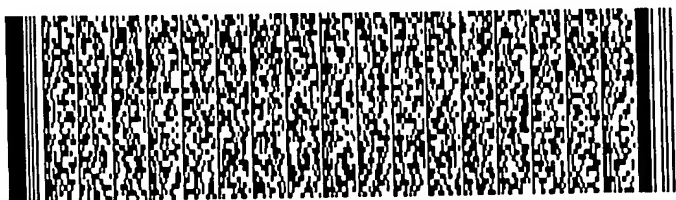
6. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片，其中該時脈訊號之上升緣及下降緣分別定義為一位元時間，而該第一部分讀取位址係以兩個該位元時間傳送。

7. 如申請專利範圍第6項所述之加速記憶體存取的控制晶片，其中比較該第一部分讀取位址與該記憶體寫入命令佇列所儲存該些記憶體寫入命令之該寫入位址的相同位元部分時，係比較該寫入位址的第12至31位元。

8. 如申請專利範圍第6項所述之加速記憶體存取的控制晶片，其中比較該第二部分讀取位址與該記憶體寫入命令佇列所儲存該些記憶體寫入命令之該寫入位址的相同位元部分時，係比較該寫入位址的第6至11位元。

9. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片，其中該控制晶片為主機板之北橋晶片。

10. 一種加速記憶體存取的控制晶片之運作方法，適用於連接一系統匯流排之一控制晶片，該控制晶片至少包括一記憶體寫入命令佇列，用以儲存複數個記憶體寫入命令，每一記憶體寫入命令包括一寫入位址，該系統匯流排內至少包括一時脈訊號，並依據該時脈訊號依序傳送包括一第一部分讀取位址以及一第二部分讀取位址之一記憶體



六、申請專利範圍

讀取命令，該運作方法包括下列步驟：

接收該系統匯流排傳送之該第一部分讀取位址；

比較該第一部分讀取位址與該記憶體寫入命令佇列所儲存該些記憶體寫入命令之該寫入位址的相同位元部分，當比較結果為相異時，設定允許執行該記憶體讀取命令；

接收該系統匯流排傳送之該第二部分讀取位址；

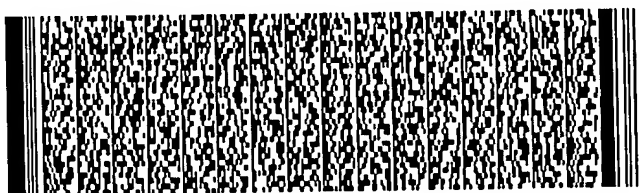
比較該第二部分讀取位址與該記憶體寫入命令佇列所儲存該些記憶體寫入命令之該寫入位址的相同位元部分，當比較結果為相異時，設定允許執行該記憶體讀取命令；以及

當比較結果為相同時，等待該記憶體寫入命令佇列所儲存具有相同該寫入位址之該記憶體寫入命令執行後，設定允許執行該記憶體讀取命令。

11. 如申請專利範圍第10項所述之加速記憶體存取的控制晶片之運作方法，其中該時脈訊號之上升緣及下降緣分別定義為一位元時間，而該第一部分讀取位址係以兩個該位元時間傳送。

12. 如申請專利範圍第10項所述之加速記憶體存取的控制晶片之運作方法，其中允許執行該記憶體讀取命令時，係將該記憶體讀取命令直接送出、或將該記憶體讀取命令存入該控制晶片之一記憶體讀取命令佇列中。

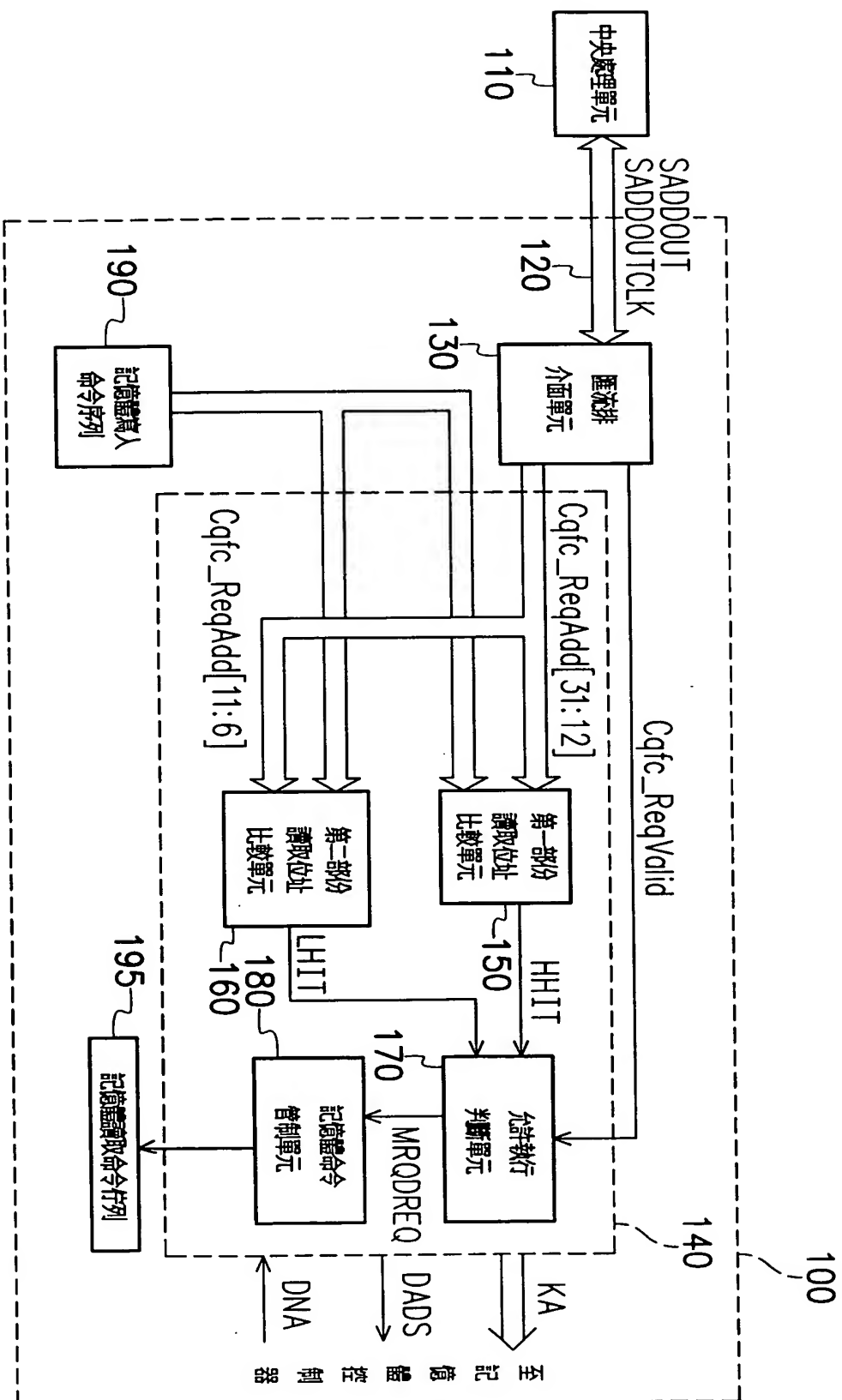
13. 如申請專利範圍第10項所述之加速記憶體存取的控制晶片之運作方法，其中當該第一部分讀取位址與該記憶體寫入命令佇列所儲存該些記憶體寫入命令之該寫入位



六、申請專利範圍

址的該相同位元部分之該比較結果為相異時，在該記憶體讀取命令之下一個讀取命令的第一個位元時間內，設定允許執行該記憶體讀取命令的旗標。





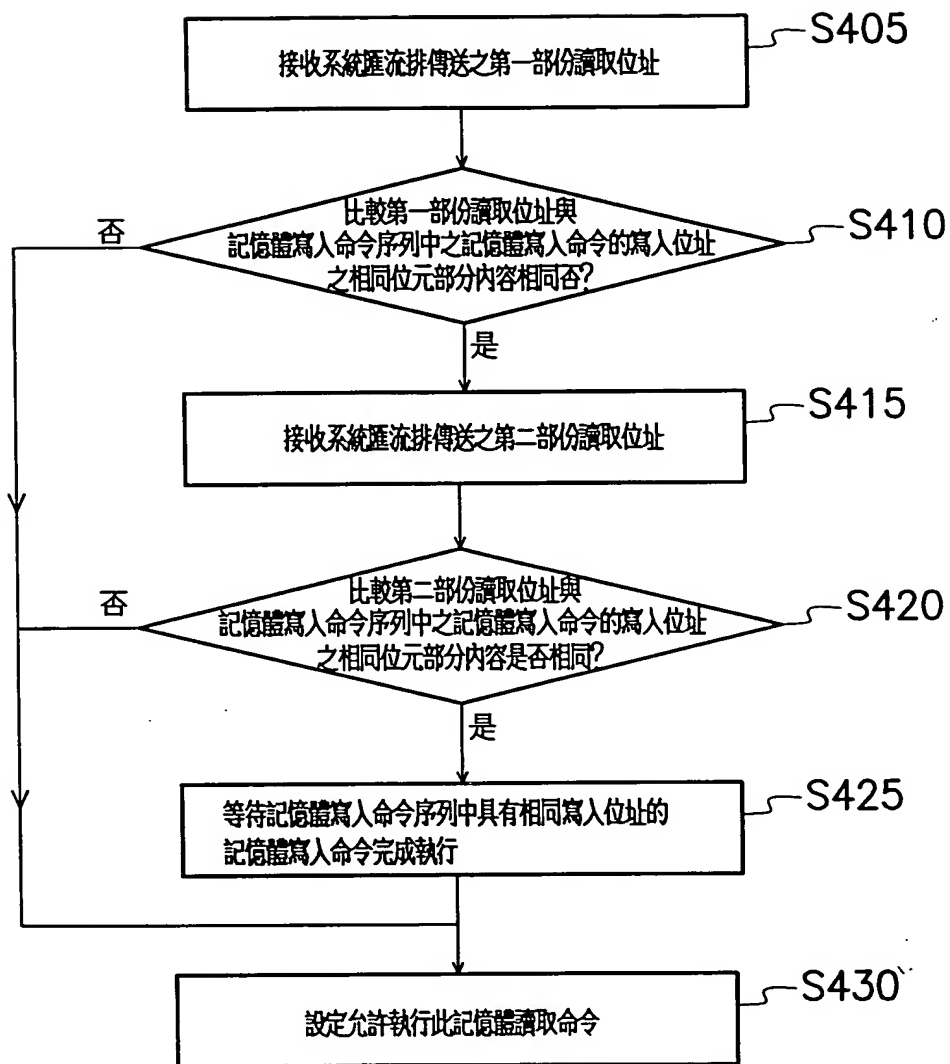
第 1 圖

Bit Times	SADDOUT[14:2] #												
	14	13	12	11	10	9	8	7	6	5	4	3	2
0	M1	Command[4:0]						PA[31:25]					
1	PA[24:12]												
2	M2	Mask[7:0]								CH	ID[2:0]		
3	RV	PA[34:32]				PA[11:3]							

第 2 圖

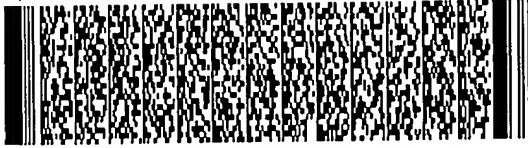


第三圖

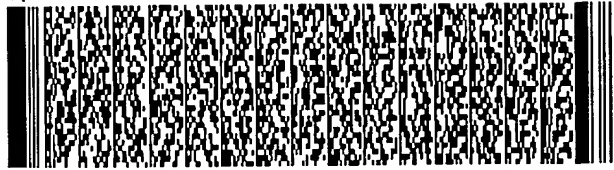


第 4 圖

第 1/21 頁



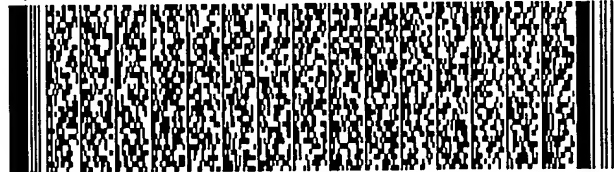
第 2/21 頁



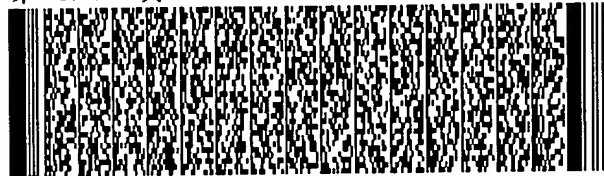
第 3/21 頁



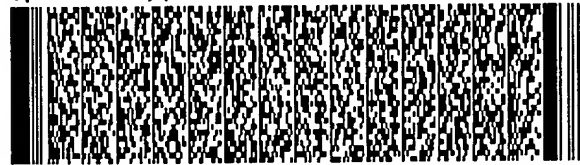
第 5/21 頁



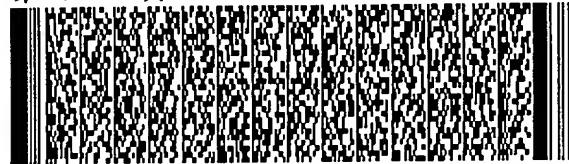
第 5/21 頁



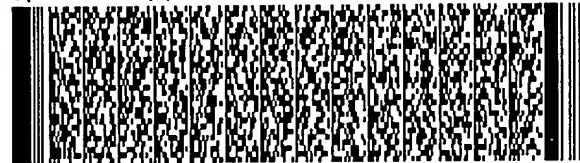
第 6/21 頁



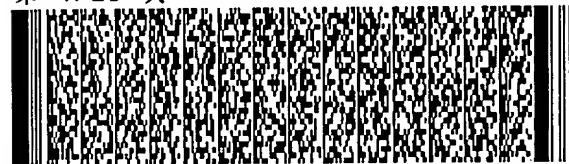
第 6/21 頁



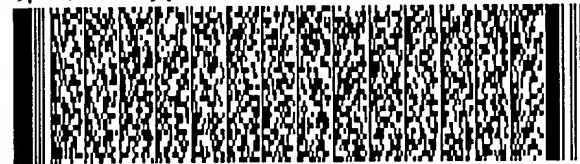
第 7/21 頁



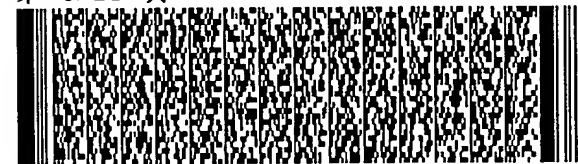
第 7/21 頁



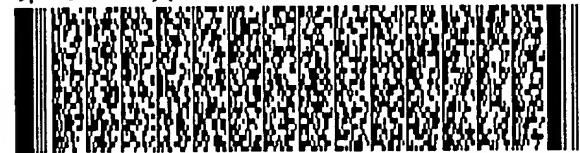
第 8/21 頁



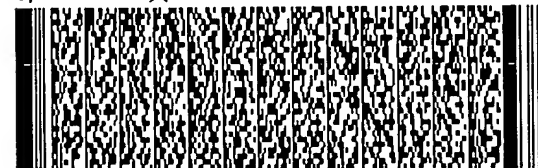
第 8/21 頁



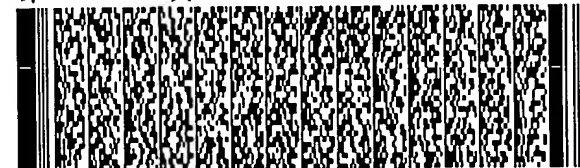
第 9/21 頁



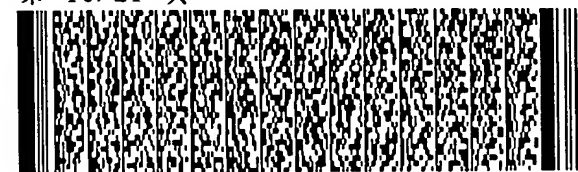
第 9/21 頁



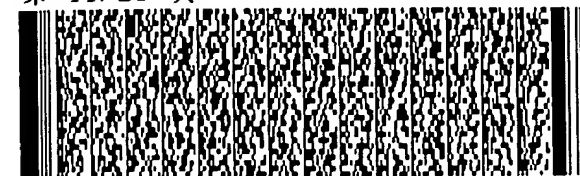
第 10/21 頁



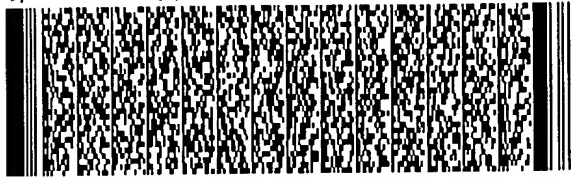
第 10/21 頁



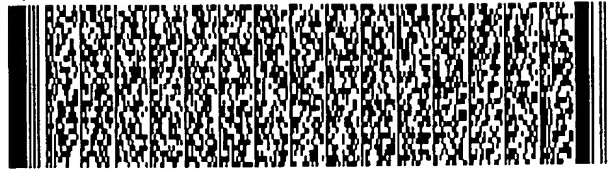
第 11/21 頁



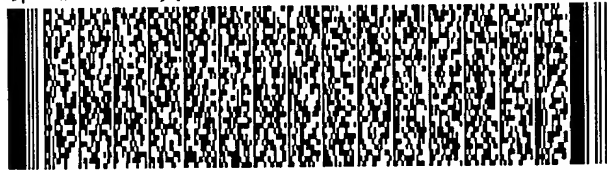
第 11/21 頁



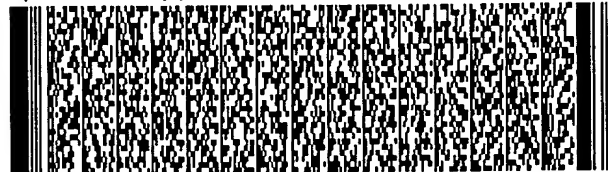
第 12/21 頁



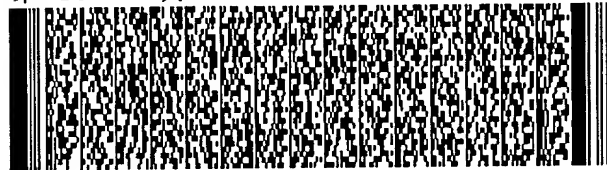
第 12/21 頁



第 13/21 頁



第 13/21 頁



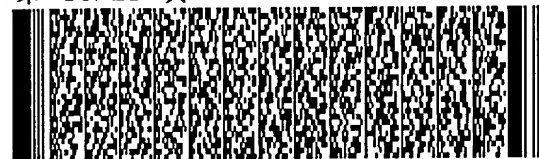
第 14/21 頁



第 14/21 頁



第 15/21 頁



第 16/21 頁



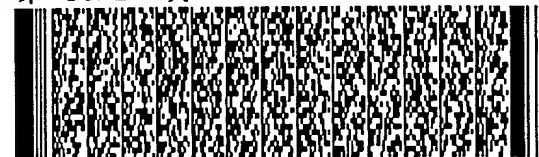
第 17/21 頁



第 17/21 頁



第 18/21 頁



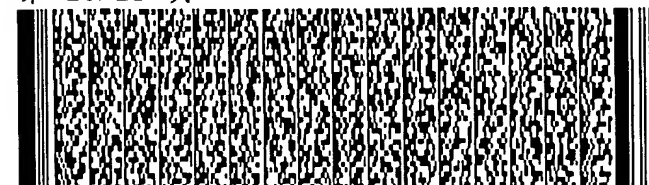
第 18/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

